

⑯ 日本国特許庁 (JP)

⑯ 特許出願公開

⑯ 公開特許公報 (A)

昭60-41325

⑯ Int.Cl.<sup>4</sup>

H 03 K 19/00  
H 01 L 27/08

識別記号

101  
102

厅内整理番号

8326-5J  
6655-5F

⑯ 公開 昭和60年(1985)3月5日

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 半導体集積回路

⑯ 特 願 昭58-149322

⑯ 出 願 昭58(1983)8月16日

⑯ 発明者 中 正 博 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑯ 代理人 弁理士 菅野 中

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 複数のトライステートバッファの出力及び1個以上のゲート回路の入力端子が接続されたバスラインを有するCMOS LSIにおいて、該バスラインに対するトライステートバッファの出力が全て高インピーダンスになつているとき、バスラインの電位を電源又は接地電位に固定する回路を備えたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

本発明はCMOS LSIにおいて、バスラインの電位を常に安定な状態に保ち、回路のラッテアップ、異状電流の発生を防ぐ半導体集積回路に関するものである。

第1図に示すようなCMOS LSIにおいて、信号を遮断し出力を高インピーダンスに設定することができる複数個のトライステートバッファ及び1個以上のゲート回路の入力端子が接続されたバスラ

インがよく使用される。第1図において、11はバスライン、21,22はトライステートバッファ、31はゲート回路、41~43はPチャンネルトランジスタ、51~57はNチャンネルトランジスタ、61,62はトライステートバッファ入力信号、71,72はトライステートバッファ遮断信号である。

ところが、バスライン11に接続されているトライステートバッファ21,22が全て遮断されたときバスライン11は高インピーダンスとなり、バスライン11の電位は定まらない。従つてバスライン11は熱励起などにより様々な電位になる可能性がある。もし電源電圧の範囲を越えると、ラッテアップを起こす可能性がある。又Pチャンネル、Nチャンネルトランジスタ両方のスレッシングホールド電圧を越えた電位になると入力回路(第1図において31)でPチャンネル、Nチャンネル両トランジスタ43,57が導通状態となり、異状電流が流れてしまう。このように複数のトライステートバッファ21,22及びゲート回路31の入力端子が接続されたバスラインを用いるCMOS LSIには上記のような

欠点があつた。

本発明はこのような欠点を除去し、CMOS LSI内  
ゲート回路の入力端子及びトライステートバッフ  
アの出力が接続されたバスラインを適用したとき  
に安定な動作を得る回路を提供するものである。

すなわち、本発明による半導体集積回路は、複  
数のトライステートバッフアの出力及び1個以上  
のゲート回路の入力端子が接続されたバスライン  
を有するCMOS LSIにおいて、該バスラインに対する  
トライステートバッフアの出力が全て高インピ  
ーダンスになつているときバスラインの電位を電  
源又は接地電位に固定する回路を備えたことを特  
徴とするものである。

次に本発明の一実施例を第2図により説明する。

以下第1図と同一構成部分には同一番号を付し  
て説明する。さらに、44はPチャンネルトランジ  
スタ、81は2入力OR回路である。

第2図の回路において、遮断信号71,72が共に  
"0"となつた時、トライステートバッフア21,22  
は共に遮断状態となる。このときOR回路81の出力

は0となり、Pチャンネルトランジスタ44を導通  
状態にし、バスラインの電位を電源電圧にする。  
この回路によりバスラインの電位は論理的に安定  
な状態となり、トライステートバッフアが遮断さ  
れたときもラッチアップが起きたり、インバータ  
31C異状電流が流れることを防止できる。

第3図は本発明の他の実施例である。

記号は第2図と同一である。この場合、Pチャン  
ネルのトランジスタ44は常に導通状態になつてい  
る。しかしながら、これにトライステートバッフ  
ア21,22におけるNチャンネルトランジスタ52,  
53,55,56よりも導通抵抗の大きいトランジスタを  
使用することによりトライステートバッフアがバ  
スライン11を駆動し、その出力が"0"になる時P  
チャンネルトランジスタ44の導通抵抗が大きいた  
め、バスラインの電位を"0"とすることができる。  
又いすれのトライステートバッフア21,22も遮断  
状態にあるときはPチャンネルトランジスタ44が  
導通していることによつて、バスライン11を電源  
電圧に保つ。

第4図は第3図におけるPチャンネルのトラン  
ジスタ44に代えてNチャンネルのトランジスタ58  
を使用した例である。バスライン11は全てのト  
ライステートバッフア21,22が遮断状態のとき接地  
電位に保たれる。

以上述べたように本発明によれば、CMOS LSI内  
において、複数のトライステートバッフアの出力と  
1個以上のゲート回路の入力端子が接続されたバ  
スラインを常に定められた電位に設定するこ  
とができる効果を有するものである。

#### 4. 図面の簡単な説明

第1図は従来のCMOS LSI内のバスライン及びこ  
れに接続されたトライステートバッフア及びゲ  
ート回路図、第2図、第3図、第4図はそれぞれ本  
発明によるCMOS LSI内のバスライン及びこれに接  
続されたトライステートバッフア、ゲート回路及  
びバスラインを電源又は接地電位に固定する回路  
の実施例を示す図である。

11…バスライン、21,22…トライステートバッフ

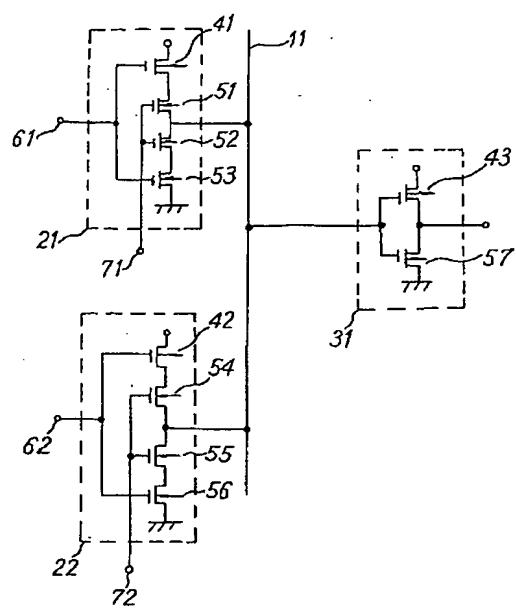
ア、31…ゲート回路、41~44…Pチャンネルトラン  
ジスタ、51~58…Nチャンネルトランジスタ、  
61,62…トライステートバッフア入力信号端子、  
71,72…トライステートバッフア遮断信号端子、  
81…2入力OR回路

特許出願人 日本電気株式会社

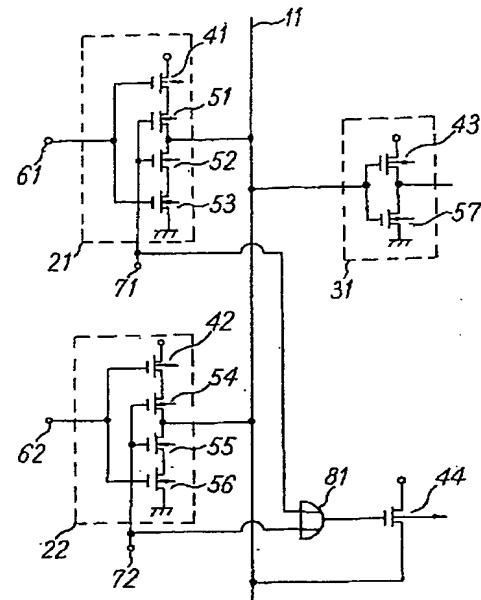
代理人 弁理士 菅野中



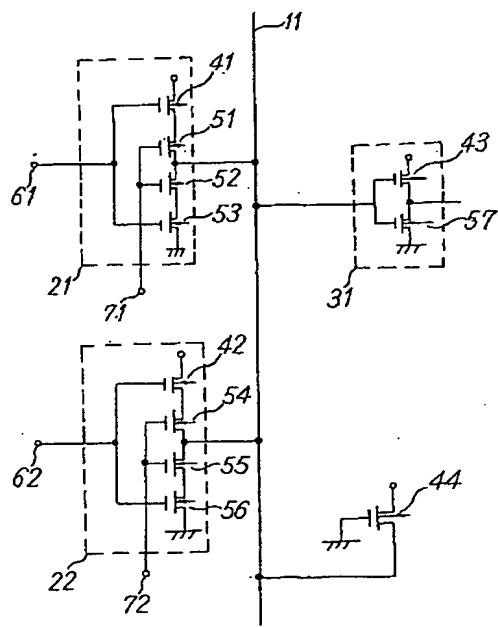
第1図



第2図



第3図



第4図

